

ウエハレベルCSP技術による銅配線、絶縁層を利用した低損失インダクタの実現

青木 由隆*, 上 芳夫**, 本城 和彦**

Low-Loss, High-Q Spiral Inductor for Wafer Level CSP Using Cu Interconnect Technology with Polyimide Isolation Layer

Yutaka AOKI*, Yoshio KAMI** and Kazuhiko HONJO**

*カシオ計算機株式会社要素技術統轄部 (〒205-8555 東京都羽村市栄町3-2-1)

**電気通信大学 (〒182-8585 東京都調布市調布ヶ丘1-5-1)

*Advanced R&D Center, Casio Computer Co., Ltd. (3-2-1 Sakae-cho, Hamura-shi, Tokyo 205-8555)

**University of Electro-Communications (1-5-1 Chofugaoka, Chofu-shi, Tokyo 182-8585)

概要 ウエハレベルCSPの銅配線技術、絶縁層形成技術を応用した低損失で高Qなマイクロ波スパイラルインダクタをシリコン基板上に形成した。これにより小型インダクタの内蔵化が可能となった。インダクタの設計サイズ、巻き数、ポリイミド絶縁層の厚さ、シリコン基板の抵抗率を変化させた場合のインダクタの高周波特性を実験、等価回路モデル、シミュレーション技術を用いて検証した。その結果シリコン基板上にインダクタンス値2-5nH程度、Q値約20 (3.9GHz)の低損失インダクタを実現した。

Abstract

Low-loss high-Q spiral inductors, which can be applicable to the chip scale packaging (CSP), have been successfully fabricated on silicon substrates using the copper interconnect technology with polyimide isolation layers. In this paper, microwave characteristics for the spiral inductors, related with the size, the number of spiral turns, the isolation layer thickness, the silicon substrate resistivity have been investigated theoretically and experimentally, where the optimized polyimide thickness and the affordable copper inter-connect technology have been developed. A Q factor of 20, has been achieved at 3.9 GHz with inductance values from 2-5 nH.

Key Words: Wafer Level CSP, Spiral Inductor, High Q, Copper Interconnect, Silicon Substrate, Low-loss